

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199284
(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

G11C 19/00
G11C 19/28

(21)Application number : 08-348864

(71)Applicant : SONY CORP

(22)Date of filing : 26.12.1996

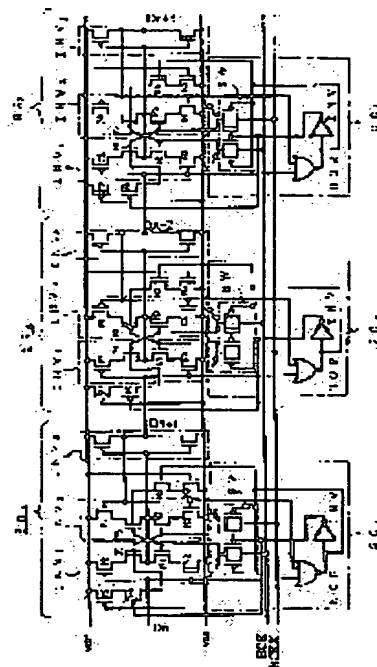
(72)Inventor : MAEKAWA TOSHIICHI

(54) SHIFT REGISTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a shift register by which a low input capacitance, a high speed operation and the low power consumption can be realized.

SOLUTION: This shift register has detecting means (NOR gates NOR and inverters INV) which detect whether the input/output data of unit register circuits SR1, SR2,... of respective stages are significant or not, pull-up elements P5 and pull-down elements N5 which are provided on clocked inverters INV1 and INV2 of which the unit register circuits are composed, clock switches SW which supply 2-phase clocks only to the unit register circuits of the stages whose input/output data has been detected to be significant by the detecting means, and 2nd switching elements P6 and N6 which cut off currents applied to the pull-up elements P5 and pull-down elements N5 of the unit register circuits of the stages whose data has been detected to be significant by the detecting means.



LEGAL STATUS

[Date of request for examination] 11.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3297985

[Date of registration] 19.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK 1150701

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-199284

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.⁶

識別記号

F I

G 1 1 C 19/00
19/28

G 1 1 C 19/00
19/28

K
B

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願平8-348864

(22) 出願日 平成8年(1996)12月26日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

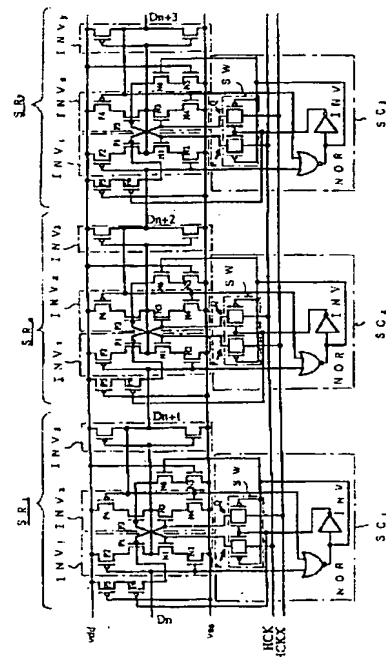
(74) 代理人 弁理士 小池 晃 (外2名)

(54) 【発明の名称】 シフトレジスタ

(57) 【要約】

【課題】 低入力容量化、高速動作及び低消費電力化を図ったシフトレジスタを提供する。

【解決手段】 各段のユニットレジスタ回路 $S R_1$ 、 $S R_2$ 、・・・の入力及び出力データが有意であるか否かを検出する検出手段（ノアゲート $N O R$ 、インバータ $I N V$ ）と、ユニットレジスタ回路を構成しているクロックドインバータ $I N V_1$ 、 $I N V_2$ に設けられたプルアップ素子 P_5 及びプルダウン素子 N_5 と、上記検出手段によりデータが有意であることが検出された段のユニットレジスタ回路のみ2相のクロックを供給するクロックスイッチ $S W$ と、上記検出手段によりデータが有意であることが検出された段のユニットレジスタ回路のプルアップ素子 P_5 及びプルダウン素子 N_5 に流れる電流を遮断する第2のスイッチング素子 P_6 、 N_6 とを備える。



【特許請求の範囲】

【請求項1】 第1及び第2のクロックドインバータと、第3のインバータから構成され、2相のクロック信号によって駆動される相補型MOS構造のユニットレジスタ回路を多段縦続接続したシフトレジスタにおいて、各段のユニットレジスタ回路の入力及び出力データが有意であるか否かを検出する検出手段と、

各段のユニットレジスタ回路を構成しているクロックドインバータに設けられたプルアップ手段及びプルダウン手段と、

上記検出手段によりデータが有意であることが検出された段のユニットレジスタ回路のみ2相のクロックを供給する第1のスイッチング手段と、

上記検出手段によりデータが有意であることが検出された段のユニットレジスタ回路のみプルアップ手段及びプルダウン手段に流れる電流を遮断する第2のスイッチング手段とを備えることを特徴とするシフトレジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】第1及び第2のクロックドインバータと、第3のインバータから構成され、2相のクロック信号によって駆動される相補型MOS (CMOS: Complementary MetalOxide Semiconductor) 構造のユニットレジスタ回路を多段縦続接続してなるシフトレジスタに関する。

【0002】

【従来の技術】CMOS構造のユニットレジスタ回路を多段縦続接続してなるシフトレジスタは、各段のユニットレジスタ回路が容量負荷となることから、低インピーダンスで大出力のクロック信号源により駆動されていた。

【0003】本件出願人は、例えば図4に示すように、NチャンネルMOSトランジスタ N_1 、 N_2 及びPチャンネルMOSトランジスタ P_1 、 P_2 からなる第1のクロックドインバータ INV_1 と、NチャンネルMOSトランジスタ N_3 、 N_4 とPチャンネルMOSトランジスタ P_3 、 P_4 からなる第2のクロックドインバータ INV_2 と、第3のインバータ INV_3 から構成され、2相のクロック信号 HCK 、 $HCKX$ によって駆動される相補型MOS構造のユニットレジスタ回路を多段縦続接続したシフトレジスタにおいて、各段のユニットレジスタ回路 SR_1 、 SR_2 、・・・にクロックスイッチ回路 SC_1 、 SC_2 、・・・を設け、各段のユニットレジスタ回路 SR_1 、 SR_2 、・・・の入力及び出力データが有意であるか否かを検出して、データが有意であることが検出された段のユニットレジスタ回路のみクロックスイッチ回路を介して2相のクロック信号 HCK 、 $HCKX$ を供給することにより、低消費電力化を図ることができるようにしたシフトレジスタを先に提案(特開平3-147598号参照)している。

【0004】そして、上記シフトレジスタでは、ユニットレジスタ回路を構成している第1及び第2のクロックドインバータ INV_1 、 INV_2 にプルアップ素子 P_5 及びプルダウン素子 N_5 を設けることにより、2相のクロック信号 HCK 、 $HCKX$ が供給されていないときに第1及び第2のクロックドインバータ INV_1 、 INV_2 がフローティング状態になるのを防止して、2相のクロックが供給されていないときにも各段のユニットレジスタ回路 SR_1 、 SR_2 、・・・を安定な状態に保持するようにしている。

【0005】

【発明が解決しようとする課題】ところで、上述のように各段のユニットレジスタ回路 SR_1 、 SR_2 、・・・にクロックスイッチ回路 SC_1 、 SC_2 、・・・を設けたシフトレジスタでは、クロックスイッチ回路のノードP、Qから見たユニットレジスタ回路内のクロックライン容量 CP 、 CQ 、

$$CP = CN_1 + CP_3 + CN_5$$

$$CQ = CN_3 + CP_1 + CP_5$$

によって、図5に示すようにクロック波形に歪みを生じる。ここで、 CN_1 、 CN_3 は、第1及び第2のクロックドインバータ INV_1 、 INV_2 を構成している各NチャンネルMOSトランジスタ N_1 、 N_3 の各ゲート容量であり、また、 CP_1 、 CP_3 は、第1及び第2のクロックドインバータ INV_1 、 INV_2 を構成している各PチャンネルMOSトランジスタ P_1 、 P_3 の各ゲート容量であり、さらに、 CN_5 、 CP_5 は、プルアップ素子 P_5 及びプルダウン素子 N_5 による容量である。

【0006】図5に示す ΔV_1 、 ΔV_2 は、クロックスイッチ SW のオン抵抗と、プルアップ素子 P_5 及びプルダウン素子 N_5 の抵抗の比で決まるDCオフセット電圧である。この電圧 ΔV_1 、 ΔV_2 を小さくするには、クロックスイッチ SW のオン抵抗を下げ、プルアップ素子 P_5 及びプルダウン素子 N_5 の抵抗を高く設定する必要がある。クロックスイッチ SW のオン抵抗を下げるには、このクロックスイッチ SW を構成するMOSトランジスタのチャンネル幅を大きくする必要がある。しかしこれは、クロックバスラインの規制用量を増大させることになる。また、プルアップ素子 P_5 及びプルダウン素子 N_5 の抵抗を高くするには、チャンネル長を長く設定しなければならず、上記容量 CN_5 、 CP_5 を増大させることとなり、内部波形のなまりによる動作速度の低減をもたらす、トレードオフの関係となる。

【0007】また、上記シフトレジスタでは、プルアップ素子 P_5 及びプルダウン素子 N_5 に流れる直流電流により電力消費が増大する。

【0008】そこで、本発明の目的は、上述の如き従来の問題点に鑑み、さらなる低入力容量化、高速動作及び低消費電力化を図ったシフトレジスタを提供することにある。

【0009】

【課題を解決するための手段】本発明は、第1及び第2のクロックドインバータと、第3のインバータから構成され、2相のクロック信号によって駆動される相補型MOS構造のユニットレジスタ回路を多段縦続接続したシフトレジスタにおいて、各段のユニットレジスタ回路の入力及び出力データが有意であるか否かを検出する検出手段と、各段のユニットレジスタ回路を構成しているクロックドインバータに設けられたプルアップ手段及びプルダウン手段と、上記検出手段によりデータが有意であるとことが検出された段のユニットレジスタ回路のみ2相のクロックを供給する第1のスイッチング手段と、上記検出手段によりデータが有意であるとことが検出された段のユニットレジスタ回路のみプルアップ手段及びプルダウン手段に流れる電流を遮断する第2のスイッチング手段とを備えることを特徴とする。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0011】本発明に係るシフトレジスタは、例えば図1に示すように構成される。なお、この図1に示したシフトレジスタは、本件出願人が先に提案している上述の図4に示した構成のシフトレジスタを改良したものであって、同一構成要素に同一符号が付されている。

【0012】すなわち、このシフトレジスタは、多段縦続接続された相補型MOS構造のユニットレジスタ回路 SR_1, SR_2, \dots からなる駆動回路一体型液晶表示装置の水平アドレス回路であって、各ユニットレジスタ回路 SR_1, SR_2, \dots にクロックスイッチ回路 SC_1, SC_2, \dots を介してクロックラインから2相のクロック信号 $HCK, HCKX$ が供給されるようになっている。各ユニットレジスタ回路 SR_1, SR_2, \dots は、それぞれNチャンネルMOSトランジスタ N_1, N_2 及びPチャンネルMOSトランジスタ P_1, P_2 からなる第1のクロックドインバータ INV_1 と、NチャンネルMOSトランジスタ N_3, N_4 とPチャンネルMOSトランジスタ P_3, P_4 からなる第2のクロックドインバータ INV_2 と、第3のインバータ INV_3 から構成されている。

【0013】また、各段のユニットレジスタ回路 SR_1, SR_2, \dots に設けられたクロックスイッチ回路 SC_1, SC_2, \dots は、それぞれ入力データ D_n と出力データ D_{n-1} が供給されるノアゲートNORと、このノアゲートNORの出力を反転するインバータ INV と、上記ノアゲートNOR及びインバータ INV の出力によりスイッチング制御される異なる導電型トランジスタを並列接続した1対のクロックスイッチ SW とからなる。各段のクロックスイッチ回路 SC_1, SC_2, \dots は、各ユニットレジスタ回路 SR_1, SR_2, \dots の入力及び出力データが有意であるか否かをノアゲ

トNORとインバータ INV で検出して、データが有意であることが検出された段のユニットレジスタ回路のみにクロックスイッチ SW を介して2相のクロック信号 $HCK, HCKX$ を供給するようになっている。

【0014】さらに、このシフトレジスタは、各段のユニットレジスタ回路 SR_1, SR_2, \dots を構成している第1及び第2のクロックドインバータ INV_1, INV_2 にそれぞれスイッチング素子 P_6, N_6 を介してプルアップ素子 P_5 及びプルダウン素子 N_5 が接続されている。そして、各段のスイッチング素子 P_6, N_6 は、クロックスイッチ回路 SC_1, SC_2, \dots を構成している各段のノアゲートNOR及びインバータ INV の出力によりスイッチング制御され、データが有意であることが検出された段のユニットレジスタ回路のプルアップ素子 P_5 及びプルダウン素子 N_5 に流れる電流を遮断するようになっている。

【0015】このような構成のシフトレジスタでは、各ユニットレジスタ回路 SR_1, SR_2, \dots の入力及び出力データが有意であるか否かをノアゲートNORとインバータ INV で検出して、データが有意であることが検出された段のユニットレジスタ回路のみにクロックスイッチ SW を介して2相のクロック信号 $HCK, HCKX$ を供給するので、クロックラインに供給される2相のクロック信号 $HCK, HCKX$ による電力消費を大幅に削減することができる。

【0016】また、各段のユニットレジスタ回路 SR_1, SR_2, \dots の入力及び出力データが有意であるか否かを検出する各段のノアゲートNOR及びインバータ INV の出力により各段のスイッチング素子 P_6, N_6 をスイッチング制御して、データが有意であることが検出された段のユニットレジスタ回路のプルアップ素子 P_5 及びプルダウン素子 N_5 に流れる電流を遮断するので、上記プルアップ素子 P_5 及びプルダウン素子 N_5 がクロックラインの負荷にならない。したがって、このシフトレジスタでは、その動作を図2のタイミングチャートに示してあるように、クロックスイッチ SW のオン抵抗とプルアップ素子 P_5 及びプルダウン素子 N_5 の抵抗の比で決まる出力のDCオフセット ΔV は、発生しない。その分だけ駆動電圧を下げることができ、低電圧化を図ることができる。

【0017】また、クロックスイッチ回路のノードP、Qから見たユニットレジスタ回路内のクロックライン容量 C_P, C_Q は、

$$C_P = C_{N1} + C_{P3}$$

$$C_Q = C_{N3} + C_{P1}$$

すなわち、データ転送に必要なゲート容量 $C_{N1}, C_{P1}, C_{P3}, C_{N3}$ のみとなる。また、クロックスイッチ回路 SC_1, SC_2, \dots を構成している各段のクロックスイッチ SW のサイズを小さくでき、クロック信号 HCK のバスラインの容量を最小に設定することがで

きる。したがって、このシフトレジスタは高速動作を行うことができる。

【0018】さらに、各段のスイッチング素子 P_6 、 N_6 は、データが有意であることが検出された段のユニットレジスタ回路のみプルアップ素子 P_5 及びプルダウン素子 N_5 に流れる電流を遮断するので、2相のクロック信号 HCK 、 $HCKX$ が供給されていないときに第1及び第2のクロックドインバータ INV_1 、 INV_2 がフローティング状態になるのを防止して、2相のクロックが供給されていないときにも各段のユニットレジスタ回路 SR_1 、 SR_2 、・・・を安定な状態に保持することができる。

【0019】なお、上述の図1に示した本発明の実施の実態の形態では、プルアップ素子 P_5 及びプルダウン素子 N_5 としてMOSトランジスタを用いたが、図3に示すように抵抗によりプルアップ素子 P_5 及びプルダウン素子 N_5 を構成するようにしても良い。一般に、配線材料で抵抗を形成するとき高抵抗であるほど占有面積が大きくなるが、本発明に係るシフトレジスタでは、プルアップ素子 P_5 及びプルダウン素子 N_5 の抵抗値が低くても回路動作上支障はなく、小面積で構成でき、また、レイアウトもシンプルとなる。

【0020】

【発明の効果】このように、本発明に係るシフトレジスタでは、各段のユニットレジスタ回路の入力及び出力データが有意であるか否かを検出する検出手段によりデータが有意であることが検出された段のユニットレジスタ回路のみに第1のスイッチング手段を介して2相のクロックを供給するので、2相のクロックによる電力消費を大幅に削減することができる。

【0021】また、本発明に係るシフトレジスタでは、上記検出手段によりデータが有意であることが検出された段のユニットレジスタ回路のみプルアップ手段及びプルダウン手段に流れる電流を第2のスイッチング手段

により遮断するので、2相のクロック信号が供給されていないときに第1及び第2のクロックドインバータがフローティング状態になるのを防止して、2相のクロックが供給されていないときにも各段のユニットレジスタ回路を安定な状態に保持することができる。

【0022】さらに、本発明に係るシフトレジスタでは、上記プルアップ手段及びプルダウン手段がクロックラインの負荷にならないので、出力にDCオフセット ΔV が発生せず、その分だけ駆動電圧を下げることで、低電圧化を図ることができる。また、ユニットレジスタ回路内のクロックライン容量がデータ転送に必要なゲート容量のみとなり、高速動作を行うことができる。

【0023】したがって、本発明によれば、低入力容量化、高速動作及び低消費電力化を図ったシフトレジスタを提供することができる。

【図面の簡単な説明】

【図1】本発明に係るシフトレジスタの構成を示すブロック図である。

【図2】上記シフトレジスタの動作を示すタイミングチャートである。

【図3】本発明に係るシフトレジスタの他の構成を示すブロック図である。

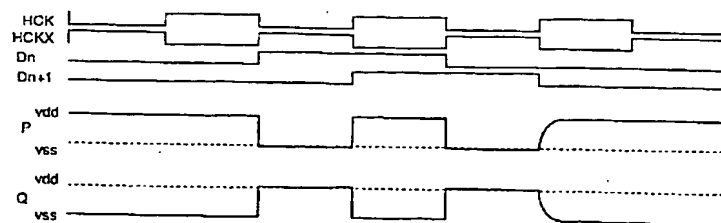
【図4】本件出願人が先に提案しているシフトレジスタの構成を示すブロック図である。

【図5】上記シフトレジスタの動作を示すタイミングチャートである。

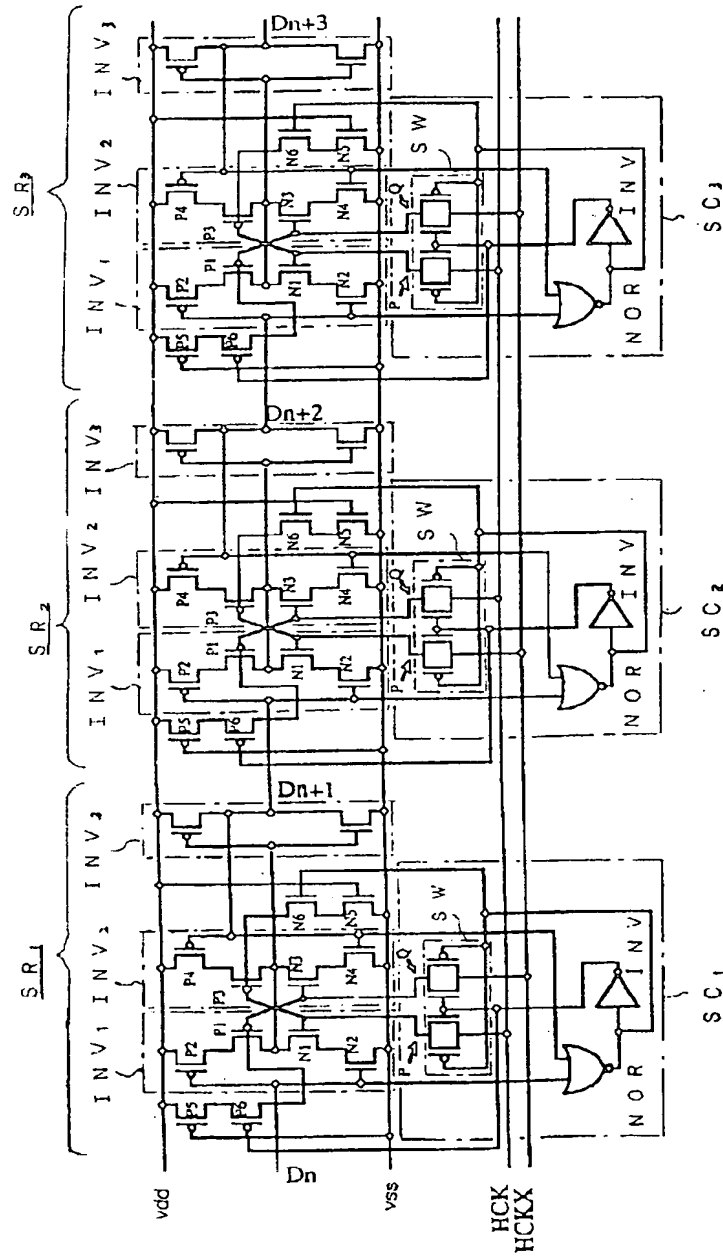
【符号の説明】

INV_1 第1のクロックドインバータ、 INV_2 第2のクロックドインバータ、 INV_3 第3のインバータ、 SR_1 、 SR_2 、・・・ ユニットレジスタ回路、 SC_1 、 SC_2 、・・・ クロックスイッチ回路、 P_5 プルアップ素子、 N_5 プルダウン素子、 P_6 、 N_6 スwitchング素子、 SW クロックスイッチ、 NOR ノアゲート、 INV インバータ

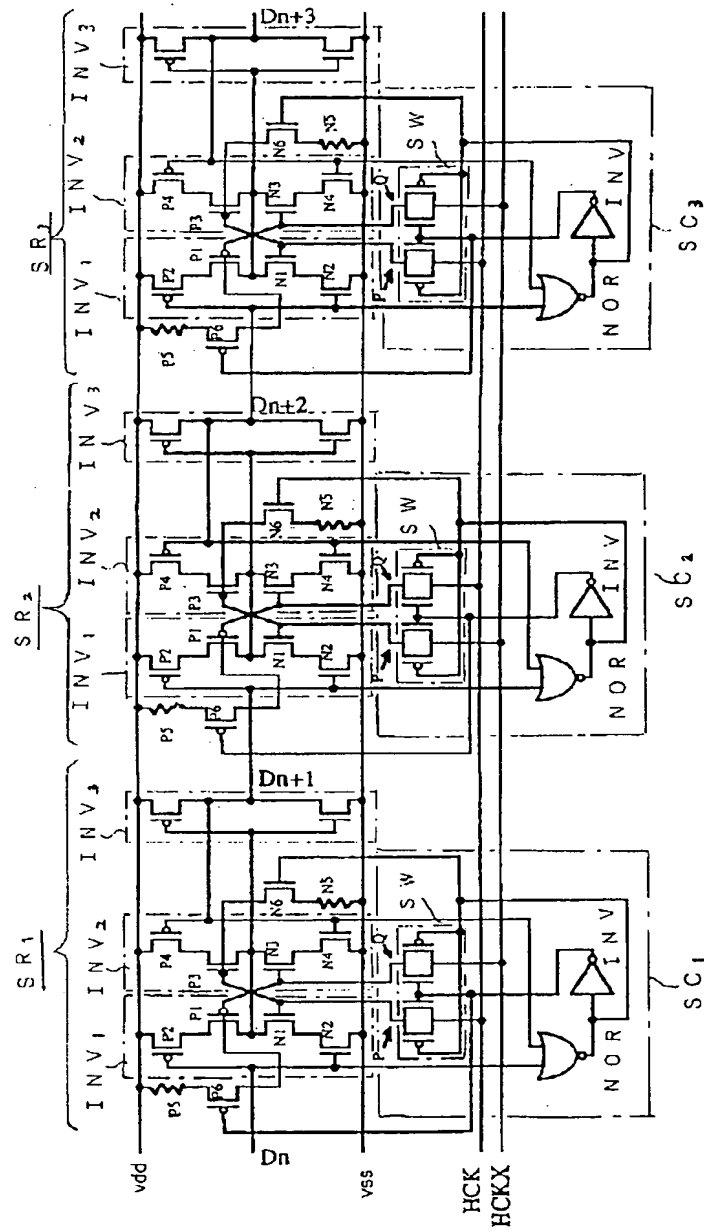
【図2】



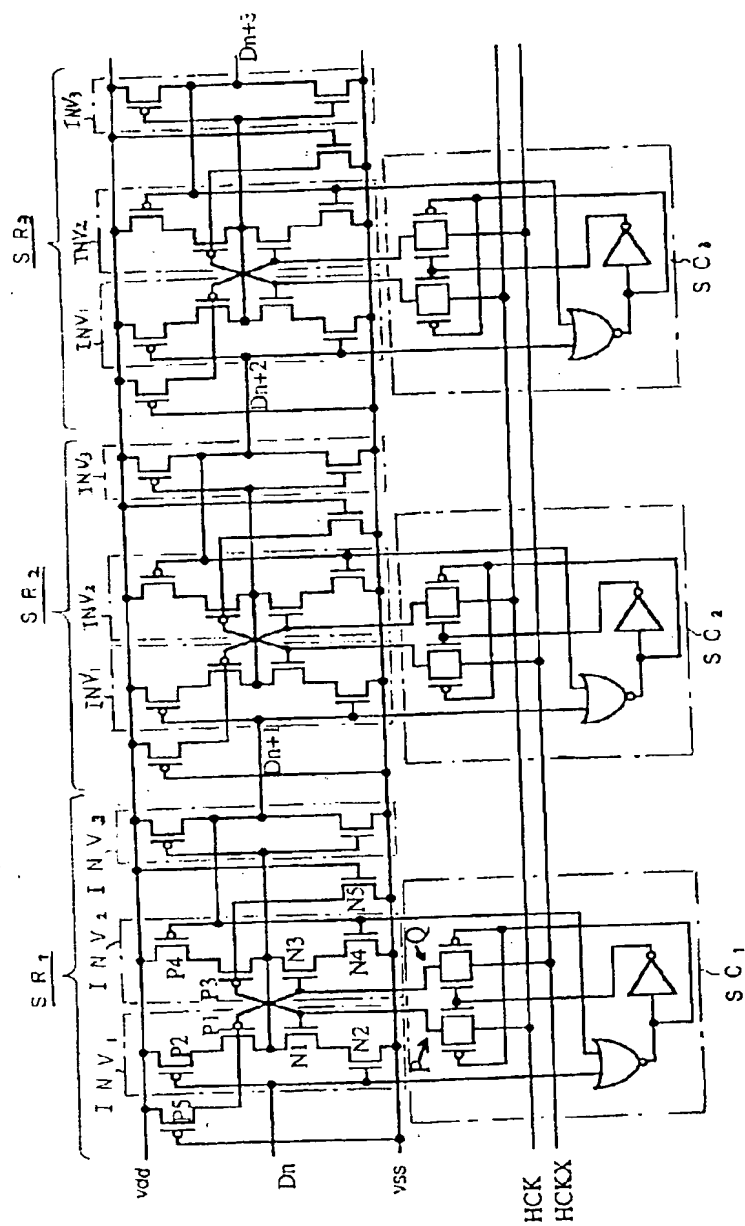
【図1】



【図3】



【図4】



【図5】

